

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-55875

(43) 公開日 平成8年(1996)2月27日

(51) Int.Cl.⁶

H 0 1 L 21/60
23/12

識別記号 庁内整理番号
3 1 1 S 7726-4E

F I

技術表示箇所

H 0 1 L 23/ 12

L

審査請求 未請求 請求項の数9 O L (全 10 頁)

(21) 出願番号 特願平6-192955

(22) 出願日 平成6年(1994)8月17日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 吉田 育生

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 宇田 隆之

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

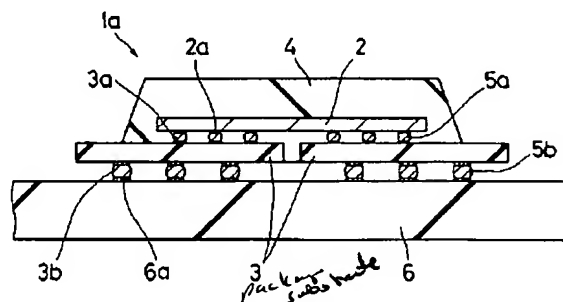
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 フリップチップ実装方式を用いる半導体装置の bumps 接続部における信頼性を向上させる。

【構成】 CCB bumps 電極 5a を介して半導体チップ 2 が実装されたパッケージ基板 3 を、CCB bumps 電極 5b を介してモジュール基板 6 上に実装する BGA 1a において、パッケージ基板 3 を複数に分割した。

図 1



- 1 a : BGA (半導体装置)
- 2 : 半導体チップ
- 3 : パッケージ基板 (配線基板)
- 4 : モールドレジン
- 5 a : CCB bumps 電極 (第 1 bumps)
- 5 b : CCB bumps 電極 (第 2 bumps)
- 6 : モジュール基板 (実装基板)

【特許請求の範囲】

【請求項1】 複数の分割された各々の配線基板上に1つの半導体チップが重なるように第1バンパを介して実装されてなることを特徴とする半導体装置。

【請求項2】 半導体チップと実装基板との間に熱歪緩和板を設け、前記半導体チップと前記熱歪緩和板とを第1バンパを介して接続するとともに、前記熱歪緩和板と前記実装基板とを第2バンパを介して接続したことを特徴とする半導体装置。

【請求項3】 請求項2記載の半導体装置において、前記熱歪緩和板が、複数の分割された配線基板によって構成されていることを特徴とする半導体装置。

【請求項4】 請求項2記載の半導体装置において、前記熱歪緩和板と、前記実装基板とを同一材料または熱膨張係数が近い材料によって構成したことを特徴とする半導体装置。

【請求項5】 請求項1または3記載の配線基板が有機物材料からなることを特徴とする半導体装置。

【請求項6】 請求項1～5のいずれか一項に記載の半導体装置において、少なくとも前記半導体チップおよび第1バンパが樹脂によって封止されていることを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体装置において、前記樹脂の熱膨張係数が、前記半導体チップの熱膨張係数よりも大きく、かつ、前記配線基板の熱膨張係数よりも小さいことを特徴とする半導体装置。

【請求項8】 請求項1～7のいずれか一項に記載の半導体装置において、前記半導体チップの裏面にヒートシンクを接合したことを特徴とする半導体装置。

【請求項9】 請求項1、3、4、5、6、7または8記載の半導体装置において、前記配線基板上に他の半導体チップを実装するとともに、前記他の半導体チップの端子と前記配線基板上の端子とをボンディングワイヤによって接続したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置技術に関し、特に半導体チップをバンパを介して配線基板上に実装するフリップチップ実装方式を用いる半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体装置内における半導体集積回路の多様化や素子の高集積化に伴い、半導体装置において、外部回路との電気的な接続を行う外部端子の数が急速に増大している。そして、このような外部端子の増大に対応すべく、半導体チップを包むパッケージの構造も変わりつつある。

【0003】例えばQFP (Quad Flat Package)のようにパッケージ本体の四辺から外部端子を取り出すようなパッケージ構造においては、多ピン化に伴い狭ピッチと

なり、パッケージの製造限界や実装基板上への搭載限界が生じつつあり、多ピン化に限界が生じつつある。

【0004】一方、表面実装形のPGA (Pin Grid Array) やBGA (Ball Grid Array)においては、パッケージ基板の裏面全面から端子を取り出す構造となっているので、パッケージサイズを大きくすることなく、多くのピンを取り出すことが可能となっている。

【0005】このBGAについては、例えば日経BP社、1994年3月1日発行「日経マイクロデバイス」P58～P64や「OMPAC-A ニュウ キッド オンザ ブロック (OMPAC-A New Kid on the Block)」アブストラクト オブ ファースト ブイエルエスアイ パッケージング ワークショップ オブ ジャパン 京都 1992 (Abstracts of 1st VLSI Packaging Workshop of Japan, Kyoto 1992) に記載がある。これらの文献に記載されたBGAの構造は、例えば以下の通りである。

【0006】すなわち、半導体チップはその主面を上に向けた状態でパッケージ基板上に実装されている。半導体チップの外部端子はボンディングワイヤを通じてパッケージ基板上の端子と電気的に接続されている。この半導体チップおよびボンディングワイヤはモールドレジンによって被覆されている。パッケージ基板の裏面には、バンパ電極がアレイ状に配置されている。

【0007】このようなBGAは、パッケージ基板裏面のバンパ電極を介してモジュール基板等の上に実装される。パッケージ基板およびモジュール基板は、通常、有機材料からなるプリント基板を基体として構成される。このような構造のBGAは、例えば低容量で低インダクタンスというように電気的特性に優れるだけでなく、低価格でもある。

【0008】また、本発明者の検討したBGAの構造は、半導体チップがその主面を下方に向けた状態でパッケージ基板上に実装される、いわゆるフリップチップ実装方式を採用した構造であり、この構造においては半導体チップがCCB (Controlled Collapse Bonding)バンパ電極を介してパッケージ基板上に実装されている。この場合、低容量で低インダクタンスというように電気的特性に優れる上に、ワイヤボンディング方式よりも多くのピンを配置することができる。

【0009】なお、CCB法については、例えばIBM ジャーナル オブ リサーチ アンド デベロップメント (IBM Journal of Research and Development) V O 1. 13, NO. 3, P 239～P 250に記載がある。

【0010】

【発明が解決しようとする課題】ところが、上記フリップチップ実装方式を用いる半導体装置技術においては、バンパ接続部の微細化に伴って、半導体チップと、配線基板との熱膨張差に起因するバンパ接続部の信頼性低下

が顕著となってきたという問題がある。

【0011】従来から半導体装置の不良は、接続点数に大きく依存し、半導体チップ内の素子そのものの不良よりも、半導体チップと配線基板との接続部の不良に起因するところが多いとされている。この接続部の不良は、半導体チップと配線基板との熱膨張係数の相違に起因して半導体チップと配線基板との接続部で発生する歪が主な原因とされている。

【0012】そして、この種の不良は、半導体チップの寸法が大形化し、電極数が増え、電極サイズが急速に微細化されつつあるフリップチップ実装方式の半導体装置において特に問題となりつつある。その接続部が大きければ多少の歪が発生してもその歪を接続部で吸収することができるが、その接続部が微細化されつつあるため、僅かな位置ずれ等でも歪の発生により接続部の破壊につながるからである。

【0013】本発明の目的は、フリップチップ実装方式を用いる半導体装置の bumps 接続部における信頼性を向上させることのできる技術を提供することにある。

【0014】本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0016】すなわち、本発明の半導体装置は、複数の分割された各々の配線基板上に1つの半導体チップが重なるように第1 bumps を介して実装されてなるものである。

【0017】また、本発明の半導体装置は、前記半導体チップおよび第1 bumps の少なくとも一方を封止する樹脂の熱膨張係数が、前記半導体チップの熱膨張係数よりも大きく、かつ、前記配線基板の熱膨張係数よりも小さいものである。

【0018】

【作用】半導体チップと配線基板とを接続する第1 bumps に加わる歪は半導体チップにおける最大 bumps 間距離に比例する。この最大 bumps 間距離は、bumps 形成領域の対角線上において最も外側に配置された bumps 間の距離である。

【0019】上記した本発明の半導体装置によれば、配線基板が複数の分割されていることにより、最大 bumps 間距離を小さくすることができるので、第1 bumps に加わる歪を低減することが可能となる。

【0020】また、上記した本発明の半導体装置によれば、半導体チップおよび第1 bumps を樹脂によって被覆することにより、個々の第1 bumps に加わる歪を分散させることができるとともに、個々の第1 bumps を抑え込み固定することができるので、歪に起因する第1 bumps

の接合破壊を抑制することが可能となる。

【0021】また、その封止樹脂の材料として、熱膨張係数が半導体チップの熱膨張係数よりも大きく、配線基板の熱膨張係数よりも小さくなる材料を選択したことにより、歪の分散効果をより効果的にすることが可能となる。

【0022】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

10 【0023】(実施例1)図1は本発明の一実施例である半導体装置の断面図、図2は図1の半導体装置の平面図、図3～図9は図1の半導体装置の製造工程中における平面図および断面図である。

【0024】本実施例1の半導体装置は、例えば図1および図2に示すようなBGA (Ball Grid Array) 1aであり、半導体チップ2と、半導体チップ2を搭載するパッケージ基板(配線基板、熱歪緩和板)3と、半導体チップ2を封止するモールドレジン4とを有している。

20 【0025】なお、図2には、図面を見易くするため、モールドレジン4を図示していない。また、図1は図2のI-I線の断面に相当する。

【0026】半導体チップ2は、例えば熱膨張係数が約 $3 \times 10^{-6}/^{\circ}\text{C}$ 程度のシリコン(Si)単結晶等からなり、その主面を下に向けた状態でパッケージ基板3上に実装されている。

30 【0027】半導体チップ2の主面(素子形成面)には、例えば論理回路、半導体メモリ回路または論理付き半導体メモリ回路等のような所定の半導体集積回路が形成されているとともに、その半導体集積回路の電極を引き出すための複数の外部端子2aが形成されている。

【0028】この半導体チップ2の主面上の外部端子2aは、パッケージ基板3の主面上の端子3aと第1 bumps であるCCB bumps 電極(以下、単に bumps 電極という)5aを介して電気的に接続されている。すなわち、半導体チップ2は、 bumps 電極5aを介してパッケージ基板3の bumps 搭載面上に実装されている。 bumps 電極5aは、例えば96.5wt%錫(Sn)-3.5wt%銀(Ag)等のような半田からなる。

40 【0029】パッケージ基板3は、例えばガラス布基材ポリイミド樹脂またはガラス布基材ビスマレイドトリアジン等を基体とした銅張積層プリント基板等からなり、その熱膨張係数は、例えば $13 \sim 16 \times 10^{-6}/^{\circ}\text{C}$ 程度である。なお、図示はしないが、パッケージ基板3の各配線層には、例えば銅(Cu)からなる内層配線が形成されている。

50 【0030】また、このパッケージ基板3の bumps 搭載面において、半導体チップ2の外部端子2aに対応する位置には端子3aが複数個設けられており、この端子3aと外部端子2aとは bumps 電極5aを介して電気的に接続されている。

5

【0031】ところで、本実施例1においては、1個の半導体チップ2が実装されるパッケージ基板3が、例えば4個に等分割されている。個々のパッケージ基板3は、例えば四角形状である。ただし、半導体チップ2は、個々のパッケージ基板3に対して平面的に均等に重なるように配置されている。

【0032】そして、これにより、本実施例1においては、半導体チップ2とパッケージ基板3との熱膨張係数差によりバンパ電極5aに加わる歪を大幅に低減することが可能な構造となっている。これは、以下のような理由から説明することができる。

【0033】まず、その歪を γ とすると、 $\gamma \propto \Delta T \cdot \Delta \alpha \cdot L$ と表すことができる。この式で ΔT は温度差を表し、 $\Delta \alpha$ は熱膨張係数差を表し、 L は最大バンパ間距離を表している。この最大バンパ間距離とは、パッケージ基板3と対面している半導体チップ2の対角線上において最も外側にあるバンパ電極5a、5a間の距離をいう。

【0034】この式において ΔT 、 $\Delta \alpha$ は、ほぼ決まった値なので、歪を決める主要因は、最大バンパ間距離であることが判る。

【0035】ここで、本実施例1においては、図2に示すように、パッケージ基板3を4分割したことにより、最大バンパ間距離 L_1 を、パッケージ基板3を分割しない場合の最大バンパ間距離 L_0 の $1/2$ 以下にすることができる。

【0036】したがって、上記した歪 γ の式から、本実施例1のパッケージ構造によれば、バンパ電極5aに加わる歪を、パッケージ基板3を分割しない技術に比べて大幅に低減することが可能となる。

【0037】また、本実施例1においては、例えば半導体チップ2と個々のパッケージ基板3とが重なる平面積が等しくなるとともに、半導体チップ2と個々のパッケージ基板3とを接続するバンパ電極5aの接続数および接続状態も等しくなっている。

【0038】すなわち、本実施例1においては、個々のパッケージ基板3における最大バンパ間距離 L_1 が等しくなっている。これにより、個々のパッケージ基板3におけるバンパ電極5aの接続寿命をほぼ均一にすることが可能となっている。

【0039】このようなパッケージ基板3の主面上には、モールドレジン4が堆積されており、これによって半導体チップ2が封止されている。

【0040】このモールドレジン4は、半導体チップ2の主面とパッケージ基板3の主面との間にも充填されている。このモールドレジン4は、例えばエポキシ樹脂にシリカ粉等が含有されてなり、その熱膨張係数は、例えば $11 \times 10^{-6}/^{\circ}\text{C}$ 程度である。すなわち、本実施例1においては、モールドレジン4の熱膨張係数が、半導体チップ2の熱膨張係数よりも大きく、パッケージ基板3

6

の熱膨張係数よりも小さくなるように設定されている。

【0041】このように、モールドレジン4が半導体チップ2の主面とパッケージ基板3の主面との間にも充填されていることにより、個々のバンパ電極5aに加わる歪を分散させることができるとともに、個々のバンパ電極5aを抑え込み固定することができるので、歪に起因するバンパ電極5aの接合破壊を抑制することが可能となっている。

【0042】また、モールドレジン4の材料として、その熱膨張係数が半導体チップ2の熱膨張係数よりも大きく、パッケージ基板3の熱膨張係数よりも小さくなる材料を選択したことにより、歪の分散効果をより効果的にすることが可能となっている。

【0043】また、このようなパッケージ基板3の裏面には端子3bが形成されている。この端子3bは、パッケージ基板3の内層配線（図示せず）を通じてパッケージ基板3の主面の端子3aと電気的に接続されている。

【0044】パッケージ基板3の裏面の端子3bは、第2バンパであるバンパ電極5bを介してモジュール基板6上の端子6aと電気的に接続されている。すなわち、BGA1aは、パッケージ基板3の裏面側のバンパ電極5bを介してモジュール基板6上に実装されている。

【0045】バンパ電極5bは、例えば38wt%鉛（Pb）-62wt%錫（Sn）合金からなる。本実施例1においては、バンパ電極5bにおいても、上記バンパ電極5aで得られる効果を得ることが可能となっている。前述のバンパ電極5aの場合と同様に、バンパ電極5bにおいても、最大バンパ間距離をパッケージ基板を分割しない技術の場合よりも短くすることができるからである。

【0046】モジュール基板6は、例えばガラス布基材エポキシ系樹脂等を基体とした銅張積層プリント基板からなり、その熱膨張係数は、例えば $13 \sim 16 \times 10^{-6}/^{\circ}\text{C}$ 程度である。なお、図示はしないが、パッケージ基板3の各配線層には、例えば銅（Cu）からなる内層配線が形成されている。この内層配線は、上記した端子6aと電気的に接続されている。

【0047】次に、本実施例1のBGA1aの製造方法を図1～図9によって説明する。なお、図2～図9においては、図面の簡単化のため、半導体チップ2上の外部端子2a、パッケージ基板3上の端子3a、3bおよびモジュール基板6上の端子6aを図示していない。

【0048】まず、図3に示すように、主面上にバンパ電極5aが形成された半導体チップ2を用意する。この半導体チップ2は、例えばSi単結晶からなる半導体ウエハ（図示せず）をダイシング処理によって分割して得られたものである。

【0049】バンパ電極5aは、半導体ウエハの状態の時に形成される。すなわち、ウエハプロセスの最終工程における電極形成工程に際して、半導体ウエハ上の各チ

7

ップ形成領域の主面上に電極のみが露出するようなメタルマスクまたはガラスマスクを配置した後、その半導体ウエハ上にSn-Agボール供給管によってSn-Ag合金を形成する。

【0050】続いて、図2および図4に示すように、例えば四角形状の4個のパッケージ基板3を所定の間隔をおいて配置した後、そのチップ実装面と半導体チップ2のバンパ電極形成面とを対向させ、さらに半導体チップ2の外部端子2aと、パッケージ基板3上の端子との相対的位置を合わせた状態で、半導体チップ2をパッケージ基板3上に載置する。

【0051】その後、半導体チップ2をパッケージ基板3上に載置した状態で、はんだリフロー工程に移行し、バンパを溶融させることにより、半導体チップ2の外部端子と、パッケージ基板3の端子とをバンパ電極5aを介して電氣的に接続する。

【0052】次いで、半導体チップ2をトランスフェーマールド方法等により樹脂封止する。この際のモールド工程を図5～図7に示す。なお、図6および図7はそれぞれ図5のVⅠ-VⅠ線およびVⅡ-VⅡ線に相当する部分の断面図である。

【0053】モールド金型7は、下型7aと上型7bとを有している。このうち下型7aは、全域に渡って平坦になっている。上型7bの下面中央は窪んでおり、これにより、キャビティ8が形成されている。

【0054】モールド工程に際しては、まず、下型7aの上面に、半導体チップ2の実装されたパッケージ基板3をその半導体チップ2を上にした状態で載置した後、パッケージ基板3の上面外周を上型7bにおける下面外周によってクランプする。

【0055】続いて、溶融されたモールドレジンを、モールドレジジン注入部9（図5参照）からランナ10およびゲート11（図7参照）を通じてキャビティ8内に注入する。なお、符号12a～12cはエアイベントを示している。

【0056】このモールド処理により、図8に示すようなパッケージ構造を形成する。すなわち、パッケージ基板3上に実装された半導体チップ2の全体をモールドレジジン4によって封止した構造である。このモールドレジジン4は、半導体チップ2の主面と、パッケージ基板3の主面との対向面間にも充填されている。

【0057】これにより、個々のバンパ電極5aに加わる歪が分散されるとともに、個々のバンパ電極5aが固定されるため、バンパ電極5aにおける接合破壊を抑制することが可能となっている。また、モールドレジジン4の材料として、その熱膨張係数が半導体チップ2の熱膨張係数よりも大きく、パッケージ基板3の熱膨張係数よりも小さい材料を選択したことにより、歪の分散効果をより効果的にすることが可能となっている。

【0058】モールド処理の後、図9に示すように、パ

8

ッケージ基板3の裏面側の端子上に、例えばPb-Sn合金からなるバンパ電極5bを形成することによりBGA1aを製造した後、そのBGA1aを、図1に示したように、バンパ電極5bを介してモジュール基板6上に実装する。

【0059】このように、本実施例1によれば、以下の効果を得ることが可能となる。

【0060】(1). 1個の半導体チップ2を実装するパッケージ基板3を複数個に分割したことにより、半導体チップ2とパッケージ基板3との熱膨張係数差に起因してバンパ電極5aに加わる歪を大幅に低減することができるので、歪に起因するバンパ電極5aの接合破壊を抑制することができ、バンパ電極5aの接続寿命を大幅に向上させることが可能となる。

【0061】(2). モールドレジジン4を半導体チップ2の主面とパッケージ基板3の主面との間にも充填したことにより、個々のバンパ電極5aに加わる歪を分散させることができるとともに、個々のバンパ電極5aを抑え込み固定することができるので、歪に起因するバンパ電極5aの接合破壊を抑制することができ、バンパ電極5aの接続寿命を大幅に向上させることが可能となる。

【0062】(3). モールドレジジン4の材料として、その熱膨張係数が半導体チップ2の熱膨張係数よりも大きく、パッケージ基板3の熱膨張係数よりも小さくなる材料を選択したことにより、歪の分散効果をより効果的にすることが可能となる。

【0063】(4). 上記(1)、(2) または(3) により、BGA1aの信頼性および歩留りを向上させることが可能となる。

【0064】(5). パッケージ基板3とモジュール基板6との材料を互いに熱膨張係数の近い材料によって構成したことにより、パッケージ基板3とモジュール基板6との熱膨張係数差に起因してバンパ電極5bに加わる歪を低減することが可能となる。

【0065】(6). 上記(1)、(5) により、パッケージ基板3をモジュール基板6上に実装するバンパ電極5bの接続寿命を大幅に向上させることが可能となる。したがって、BGA1aを実装する装置の信頼性および歩留りを向上させることが可能となる。

【0066】(7). 上記(1)、(2)、(3)、(4)、(5) または(6) により、パッケージ基板3およびモジュール基板6の材料として、コストの安い樹脂を用いることができるので、製品のコストを低減することが可能となる。

【0067】(8). 上記(1)、(2) または(3) により、バンパ電極5aの信頼性を確保するために生じていた半導体チップ2のサイズの制約を緩和することができるので、半導体チップ2のサイズを大きくすることが可能となる。

【0068】(9). 個々のパッケージ基板3における最大バンパ間距離L1を等しくしたことにより、個々のパッ

ケース基板3におけるバンプ電極5a、5bの接続寿命をほぼ均一にすることが可能となる。

【0069】(実施例2)図10は本発明の他の実施例である半導体装置の断面図である。なお、図10においても、図面を見易くするため、図1で示した半導体チップ2上の外部端子2a、パッケージ基板3上の端子3a、3bおよびモジュール基板6上の端子6aを図示していない。

【0070】本実施例2においては、図10に示すように、BGA1bを構成する半導体チップ2の裏面に放熱フィン(ヒートシンク)13が機械的に接合されている。

【0071】放熱フィン13は、例えばAlまたは窒化アルミニウム(AlN)等のような熱伝導特性に優れた材料からなり、その上部は空気との接触面積が大きくなるように歯状に形成されている。これにより、半導体チップ2の動作中に発生する熱の放熱効率を向上させることが可能な構造となっている。

【0072】このように、本実施例2においては、前記実施例1で得られた効果に加えて、以下の効果を得ることが可能となる。すなわち、半導体チップ2の裏面に放熱フィン13を機械的に接合したことにより、半導体チップ2の動作中に発生する熱の放熱効率を向上させることが可能となる。したがって、BGA1bの信頼性をさらに向上させることが可能となる。

【0073】(実施例3)図11は本発明の他の実施例である半導体装置の断面図である。なお、図11においても、図面を見易くするため、図1で示した半導体チップ2上の外部端子2a、パッケージ基板3上の端子3a、3bおよびモジュール基板6上の端子6aを図示していない。

【0074】本実施例3においては、図11に示すように、BGA1cを構成する個々のパッケージ基板3上にも半導体チップ2が実装されている。

【0075】ただし、この半導体チップ2は、その主面を上に向け、その裏面を所定の接着剤等によってパッケージ基板3に接着された状態で実装されている。そして、この半導体チップ2の引出し電極は、例えば金(Au)等からなるボンディングワイヤ2bを通じてパッケージ基板3上の端子と電気的に接続されている。

【0076】このワイヤボンディング法を用いた半導体チップ2には、例えばメモリ回路が形成されている。メモリ回路においては動作時における発熱量が少ないことや引出し電極数も少なく済むことからワイヤボンディング法でも実装できるからである。

【0077】また、図11の中央のCCB法を用いた半導体チップ2には、例えば論理回路が形成されている。論理回路においては動作時における発熱量が多いとともに、引出し電極数も多いのでCCB法を用いることが好ましいからである。

【0078】なお、このワイヤボンディング法を用いた半導体チップ2も、CCB法を用いた半導体チップ2と共にモールドレジン4によって封止されている。

【0079】このように、本実施例3においては、前記実施例1で得られた効果に加えて、以下の効果を得ることが可能となる。すなわち、分割されたパッケージ基板3上にワイヤボンディング法を用いた半導体チップ2を実装したことにより、半導体チップ2の実装密度を向上させることが可能となる。

【0080】(実施例4)図12は本発明の他の実施例である半導体装置の平面図である。なお、図12においては、図面を見易くするため、モールドレジンを図示していない。

【0081】本実施例4においては、図12に示すように、BGA1dを構成する1つの半導体チップ2と個々のパッケージ基板3との平面的な重なり面積が異なる構造となっている。

【0082】すなわち、個々のパッケージ基板3における最大バンプ間距離が異なる構造となっている。そして、この個々の最大バンプ間距離は、例えば半導体チップ2の面内における温度分布に応じて変えられている。

【0083】例えば同一の半導体チップ2にメモリ回路領域と論理回路領域とが配置されている場合、メモリ回路領域においては動作中においても余り高温とならないが、論理回路領域においては動作中において高温となることが知られている。

【0084】したがって、この場合は、動作中における半導体チップ2の熱分布が面内で均一ではないので、半導体チップ2の動作によって生じた熱によってバンプ電極5aが受ける歪もバンプ電極5aの場所によって異なることになる。この場合に、前記実施例1〜3のように最大バンプ間距離を全て等しくしたのでは、バンプ電極5aの接続寿命が不均一となる。

【0085】そこで、本実施例4においては、例えばメモリ回路領域における最大バンプ間距離を比較的長くするとともに、論理回路領域における最大バンプ間距離を比較的短くする等、半導体チップ2の面内の温度分布に応じて最大バンプ間距離を変えるようにしている。

【0086】このように、本実施例4によれば、前記実施例1で得られた効果の他に以下の効果を得ることが可能となる。

【0087】すなわち、動作時における半導体チップ2の面内の温度分布に応じて最大バンプ間距離を個々のパッケージ基板3ごとに変えたことにより、半導体チップ2の面内に温度分布が生じる場合においても、半導体チップ2の裏面全面におけるバンプ電極5aの接続寿命をほぼ均一にすることが可能となる。

【0088】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例1〜4に限定されるものではなく、その要旨を逸脱しな

1 1

い範囲で種々変更可能であることはいうまでもない。

【0089】例えば前記実施例1〜4においては、パッケージ基板を、例えばガラス布基材ポリイミド樹脂またはガラス布基材ビスマレイドトリアジン樹脂等を基体とした銅張積層プリント基板とした場合について説明したが、これに限定されるものではなく種々変更可能であり、例えば紙基材エポキシ樹脂、紙基材フェノール樹脂またはガラス布基材エポキシ樹脂等からなるプリント基板としても良い。

【0090】また、前記実施例1〜4においては、パッケージ基板およびモジュール基板を樹脂とした場合について説明したが、これに限定されるものではなく、例えば酸化アルミニウム (Al_2O_3) 等のようなセラミックスとしても良い。

【0091】また、前記実施例1〜4においては、パッケージ基板を、四角形状の基板に分割した場合について説明したが、これに限定されるものではなく種々変更可能であり、例えば図13に示すように、BGA1eを構成するパッケージ基板3を三角形形状の基板に分割しても良い。なお、図13においては、図面を見易くするため、モールドレジンを図示していない。

【0092】また、図示はしないが、パッケージ基板を台形状の基板に分割しても良いし、1つのパッケージ基板を形状の異なる基板に分割しても良い。

【0093】また、前記実施例1〜4においては、パッケージ基板を4分割した場合について説明したが、これに限定されるものではなく種々変更可能であり、例えば5分割でも良いし、それ以上でも良い。

【0094】また、前記実施例1〜4においては、半導体チップ全体をモールドレジンによって被覆した場合について説明したが、これに限定されるものではなく、例えば図14に示すように、BGA1fを構成する半導体チップ2の主面と、パッケージ基板3の主面との対向面間のみにモールドレジン4を介在させる構造としても良い。

【0095】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフリップチップ実装方式としてC C B法を用いる半導体装置に適用した場合について説明したが、これに限定されず種々適用可能であり、例えばフリップチップ実装方式として、対向する接続端子間に予め一定直径の半田細線を介在させて一括接合するリフロー半田法である、いわゆるC F B (Controlled Flow Bonding method) 法を用いる半導体装置等のような他のフリップチップ実装方式を用いる半導体装置に適用することも可能である。

【0096】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0097】(1). 本発明の半導体装置によれば、配線基

1 2

板が複数に分割されていることにより、最大バンパ間距離を小さくすることができるので、第1バンパに加わる歪を低減することが可能となる。このため、その歪に起因する第1バンパの接合破壊を抑制することができ、第1バンパの接続寿命を大幅に向上させることが可能となる。したがって、その半導体装置の信頼性および歩留りを向上させることが可能となる。

【0098】(2). 上記した本発明の半導体装置によれば、半導体チップおよび第1バンパを樹脂によって被覆することにより、個々の第1バンパに加わる歪を分散させることができるとともに、個々の第1バンパを抑え込み固定することができるので、歪に起因する第1バンパの接合破壊を抑制することができ、第1バンパの接続寿命を大幅に向上させることが可能となる。したがって、その半導体装置の信頼性および歩留りを向上させることが可能となる。

【0099】(3). その封止樹脂の材料として、熱膨張係数が半導体チップの熱膨張係数よりも大きく、配線基板の熱膨張係数よりも小さくなる材料を選択したことにより、歪の分散効果をより効果的にすることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体装置の断面図である。

【図2】図1の半導体装置の平面図である。

【図3】図1の半導体装置の製造工程中における断面図である。

【図4】図1の半導体装置の図3に続く製造工程における断面図である。

【図5】図1の半導体装置の図4に続く製造工程における断面図である。

【図6】図1の半導体装置の図5の製造工程における断面図である。

【図7】図1の半導体装置の図5の製造工程における断面図である。

【図8】図1の半導体装置の図5に続く製造工程における断面図である。

【図9】図1の半導体装置の図8に続く製造工程における断面図である。

【図10】本発明の他の実施例である半導体装置の断面図である。

【図11】本発明の他の実施例である半導体装置の断面図である。

【図12】本発明の他の実施例である半導体装置の平面図である。

【図13】本発明の他の実施例である半導体装置の平面図である。

【図14】本発明の他の実施例である半導体装置の断面図である。

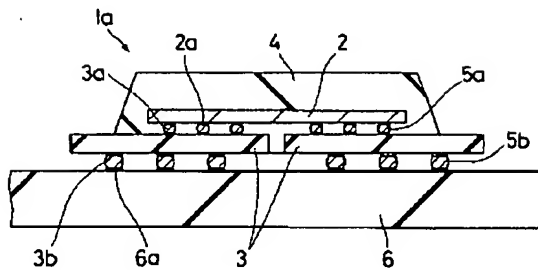
【符号の説明】

13

- 1a~1f BGA (半導体装置)
 2 半導体チップ
 2a 外部端子
 2b ボンディングワイヤ
 3 パッケージ基板 (配線基板)
 3a 端子
 3b 端子
 4 モールドレジン
 5a CCBパンプ電極 (第1パンプ)
 5b CCBパンプ電極 (第2パンプ)
 6 モジュール基板 (実装基板)

【図1】

図1



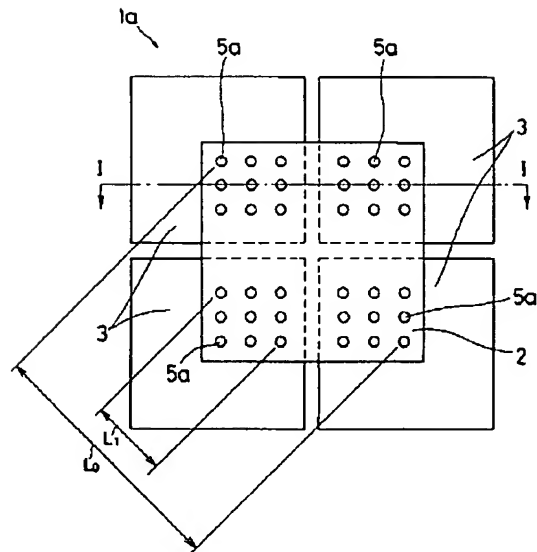
- 1a : BGA (半導体装置)
 2 : 半導体チップ
 3 : パッケージ基板 (配線基板)
 4 : モールドレジン
 5a : CCBパンプ電極 (第1パンプ)
 5b : CCBパンプ電極 (第2パンプ)
 6 : モジュール基板 (実装基板)

14

- 6a 端子
 7 モールド金型
 7a 下型
 7b 上型
 8 キャビティ
 9 モールドレジジン注入部
 10 ランナ
 11 ゲート
 12a~12c エアベント
 10 13 放熱フィン (ヒートシンク)

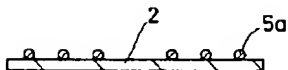
【図2】

図2



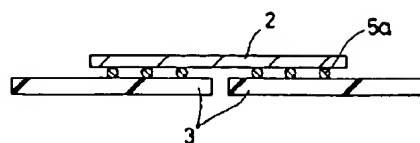
【図3】

図3



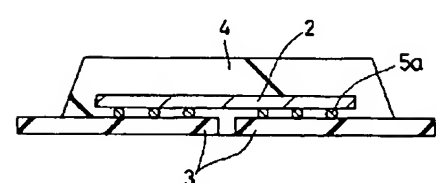
【図4】

図4



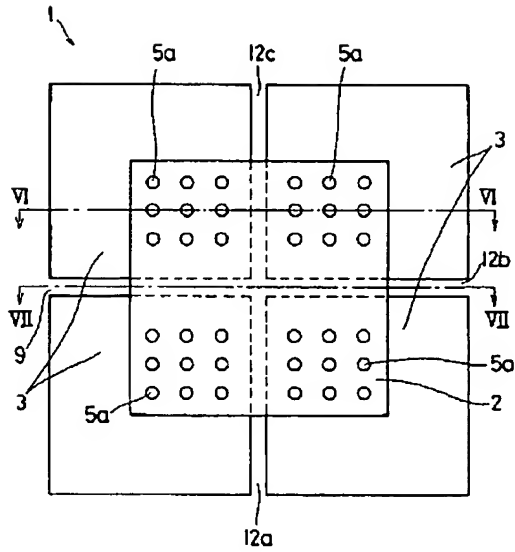
【図8】

図8



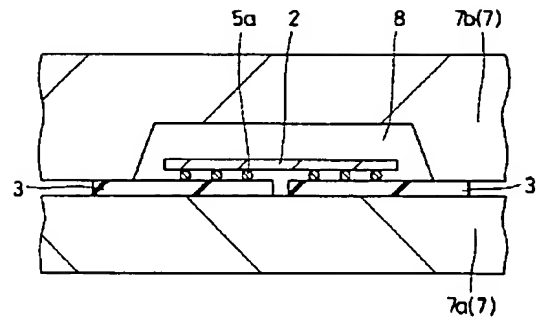
【図5】

図5



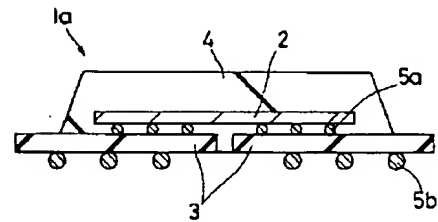
【図6】

図6



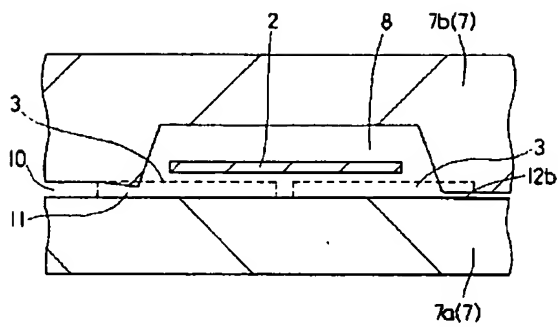
【図9】

図9



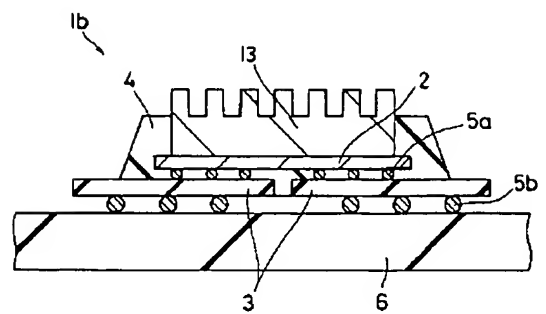
【図7】

図7



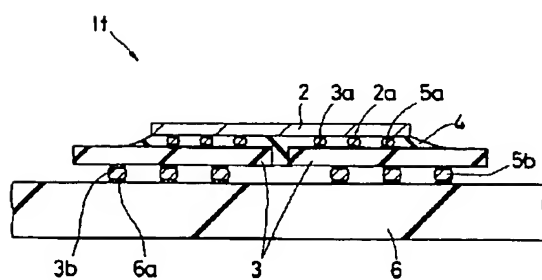
【図10】

図10



【図14】

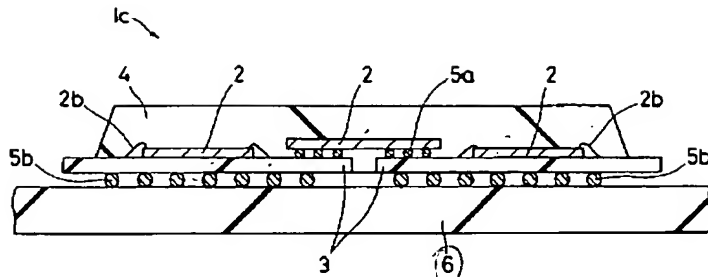
図14



18: 放熱フィン (ヒートシンク)

【図11】

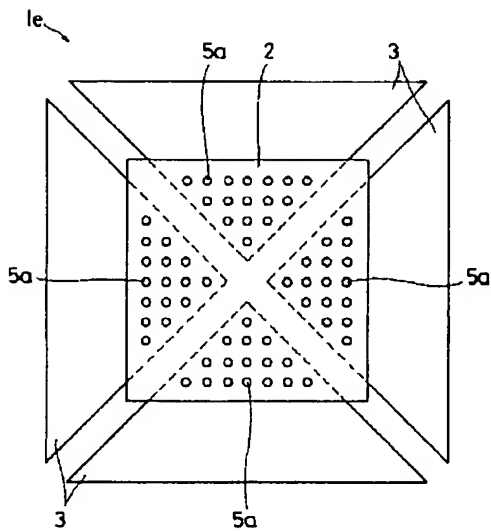
図11



2b : ボンディングワイヤ

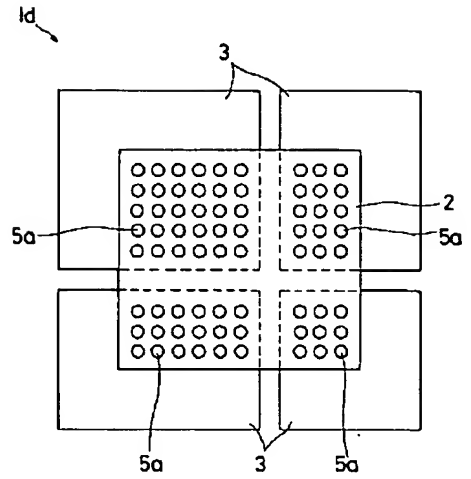
【図13】

図13



【図12】

図12



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-055875

(43)Date of publication of application : 27.02.1996

(51)Int.Cl. H01L 21/60
H01L 23/12

(21)Application number : 06-192955 (71)Applicant : HITACHI LTD

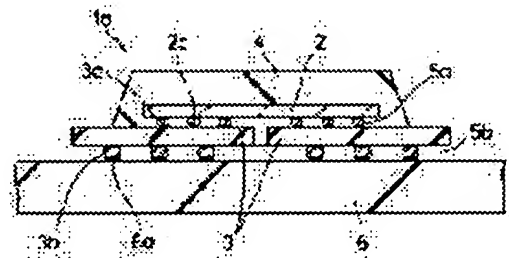
(22)Date of filing : 17.08.1994 (72)Inventor : YOSHIDA IKUO
UDA TAKAYUKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve reliability of a bump connection of a semiconductor device using a flip chip packaging method.

CONSTITUTION: In a BGA1a packaging a package substrate 3, on which a semiconductor chip 2 is packaged via a CCB bump electrode 5a, via a CCB bump electrode 5b on a module substrate 6, the package substrate 3 is divided into a plurality.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by being mounted through the 1st bump and becoming so that one semiconductor chip may lap on each wiring substrate divided into plurality.

[Claim 2] The semiconductor device characterized by connecting said thermal strain relaxation plate and said mounting substrate through the 2nd bump while forming a thermal strain relaxation plate between a semiconductor chip and a mounting substrate and connecting said semiconductor chip and said thermal strain relaxation plate through the 1st bump.

[Claim 3] The semiconductor device characterized by constituting said thermal strain relaxation plate by the wiring substrate divided into plurality in a semiconductor device according to claim 2.

[Claim 4] The semiconductor device characterized by constituting said thermal strain relaxation plate and said mounting substrate with the same ingredient or an ingredient with a near coefficient of thermal expansion in a semiconductor device according to claim 2.

[Claim 5] The semiconductor device characterized by a wiring substrate according to claim 1 or 3 consisting of an organic substance ingredient.

[Claim 6] The semiconductor device characterized by carrying out the closure of said semiconductor chip and 1st bump to any 1 term of claims 1-5 with resin at least in the semiconductor device of a publication.

[Claim 7] The semiconductor device characterized by the coefficient of thermal expansion of said resin being larger than the coefficient of thermal expansion of said semiconductor chip, and being smaller than the coefficient of thermal expansion of said wiring substrate in a semiconductor device according to claim 6.

[Claim 8] The semiconductor device characterized by joining a heat sink to the rear face of said semiconductor chip in a semiconductor device given in any 1 term of claims 1-7.

[Claim 9] The semiconductor device characterized by connecting the terminal of a semiconductor chip besides the above, and the terminal on said wiring substrate by the bonding wire in a semiconductor device according to claim 1, 3, 4, 5, 6, 7, or 8 while mounting other semiconductor chips on said wiring substrate.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention is applied to the semiconductor device using the flip chip mounting method which mounts a semiconductor chip on a wiring substrate through a bump especially about a semiconductor device technique, and relates to an effective technique.

[0002]

[Description of the Prior Art] In a semiconductor device, the number of the external terminals which make electric connection with an external circuit is increasing quickly with the diversification of a semiconductor integrated circuit and the high integration of a component in a semiconductor device. And the structure of a package of wrapping a semiconductor chip is also changing that it should correspond to increase of such an external terminal.

[0003] For example, in package structure which takes out an external terminal from the neighborhood of a package body like QFP (Quad Flat Package), it becomes a ** pitch with the formation of many pins, the manufacture limitation of a package and the loading limitation to a mounting substrate top are being generated, and a limitation is being generated in many pin-ization.

[0004] It is possible to take out many pins, without on the other hand, enlarging package size, since it has structure which takes out a terminal from the whole rear-face surface of a package substrate in PGA (Pin Grid Array) and BGA (Ball Grid Array) of a surface mount form.

[0005] About this BGA, they are Nikkei Business Publications and March 1, 1994 issue, for example. "Nikkei micro device" P58-P64, and "OMPAC-A NYUU kid ONZA block (OMPAC-A New Kid on the Block)" abs truck shoes OBU First BUIERU S eye Packaging Workshop OBU Japan Kyoto 1992 (Abstracts of 1 st VLSI Packaging Workshop of Japan and Kyoto 1992) has a publication. The structure of BGA indicated by these reference is as follows.

[0006] That is, the semiconductor chip is mounted on the package substrate, where the principal plane is turned upwards. The external terminal of a semiconductor chip is electrically connected with the terminal on a package substrate through the bonding wire. This semiconductor chip and bonding wire are covered with mold resin. In the rear face of a package substrate, the bump electrode is arranged in the shape of an array.

[0007] Such BGA is mounted on a module substrate etc. through the bump electrode on the rear face of a package substrate. A package substrate and a module substrate are usually constituted considering the printed circuit board which consists of an organic material as a base. BGA of such structure is not only excellent in electrical characteristics like a low inductance with low capacity, but is also a low price.

[0008] Moreover, the structure of BGA which this invention person examined is the structure as which the semiconductor chip adopted the so-called flip chip mounting method mounted on a package substrate where that principal plane is turned caudad, and the semiconductor chip is mounted on the package substrate through the CCB (ControlledCollapse Bonding) bump electrode in this structure. In this case, it excels in electrical characteristics upwards like a low inductance by low capacity, and many pins can be arranged rather than a wirebonding method.

[0009] in addition -- the CCB method -- IBM Journal OBU Research and -- DEBEROPPUMENTO (IBM Journal of Research and Development) VOL.13, NO.3, and P239-P250 have a publication.

[0010]

[Problem(s) to be Solved by the Invention] However, in the semiconductor device technique using the above-mentioned flip chip mounting method, there is a problem that the dependability fall of the bump

connection resulting from the differential thermal expansion of a semiconductor chip and a wiring substrate is becoming remarkable with detailed-izing of a bump connection.

[0011] The defect of a semiconductor device is greatly dependent on the number of nodes from the former, and it is supposed that the place resulting from the defect of the connection of a semiconductor chip and a wiring substrate is larger than the defect of the component in a semiconductor chip itself. Distortion which the defect of this connection originates in the difference of a coefficient of thermal expansion with a semiconductor chip and a wiring substrate, and is generated in the connection of a semiconductor chip and a wiring substrate is considered as the main causes.

[0012] And the dimension of a semiconductor chip large-sized-izes this kind of defect, number of electrodes increases, and electrode size is posing a problem especially in the semiconductor device of the flip chip mounting method currently quickly made detailed. It is because the distortion is absorbable by the connection even if distortion of some occurs, but the connection is being made detailed, so a slight location gap will also lead to destruction of a connection according to distorted generating if the connection is large.

[0013] The purpose of ***** is to offer the technique which can raise the dependability in the bump connection of a semiconductor device which uses a flip chip mounting method.

[0014] The other purposes and the new description will become clear from description and the accompanying drawing of a specification along [said] this invention.

[0015]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0016] That is, it is mounted through the 1st bump and the semiconductor device of this invention becomes so that one semiconductor chip may lap on each wiring substrate divided into plurality.

[0017] Moreover, the semiconductor device of this invention has the coefficient of thermal expansion of the resin which closes either [at least] said semiconductor chip or the 1st bump larger than the coefficient of thermal expansion of said semiconductor chip, and it is smaller than the coefficient of thermal expansion of said wiring substrate.

[0018]

[Function] Distortion which joins the 1st bump who connects a semiconductor chip and a wiring substrate is proportional to the distance between the maximum bumps in a semiconductor chip. The distance between these maximum bumps is the distance between the bumps stationed on the diagonal line of a bump formation field at the outermost part.

[0019] Since distance between the maximum bumps can be made small by dividing the wiring substrate into plurality according to the semiconductor device of above-mentioned this invention, it becomes possible to reduce distortion which joins the 1st bump.

[0020] Moreover, since each 1st bump can be held down and it can fix while being able to distribute distortion which joins each 1st bump by covering a semiconductor chip and the 1st bump with resin according to the semiconductor device of above-mentioned this invention, it becomes possible to control junction destruction of the 1st bump who originates distorted.

[0021] Moreover, as an ingredient of the closure resin, a coefficient of thermal expansion is larger than the coefficient of thermal expansion of a semiconductor chip, and it becomes possible to make a distorted dispersion effect more effective by having chosen the ingredient which becomes smaller than the coefficient of thermal expansion of a wiring substrate.

[0022]

[Example] Hereafter, the example of this invention is explained to a detail based on a drawing.

[0023] (Example 1) The sectional view of a semiconductor device whose drawing 1 is one example of this invention, and drawing 2 are the top view of the semiconductor device of drawing 1 , a top view [drawing 9 / drawing 3 -] in the production process of the semiconductor device of drawing 1 , and a sectional view.

[0024] It is BGA(BallGrid ArraY) 1a as shown in drawing 1 and drawing 2 , and the semiconductor device of this example 1 has a semiconductor chip 2, the package substrate (a wiring substrate, thermal strain relaxation plate) 3 carrying a semiconductor chip 2, and mold resin 4 that closes a semiconductor chip 2.

[0025] In addition, to drawing 2 , in order to make a drawing legible, mold resin 4 is not illustrated. Moreover, drawing 1 is equivalent to the cross section of the I-I line of drawing 2 .

[0026] A coefficient of thermal expansion consists for example, of a silicon (Si) single crystal which is

about abbreviation $3 \times 10^{-6}/\text{degree C}$, and the semiconductor chip 2 is mounted on the package substrate 3, where the principal plane is turned downward.

[0027] While predetermined semiconductor integrated circuits, such as a logical circuit, a semiconductor memory circuit, or a semiconductor memory circuit with logic, are formed, two or more external terminal 2a for pulling out the electrode of the semiconductor integrated circuit is formed in the principal plane (component forming face) of a semiconductor chip 2.

[0028] External terminal 2a on the principal plane of this semiconductor chip 2 is electrically connected through CCB bump electrode (only henceforth bump electrode) 5a which is terminal 3a on the principal plane of the package substrate 3, and the 1st bump. That is, the semiconductor chip 2 is mounted on the chip loading side of the package substrate 3 through bump electrode 5a. Bump electrode 5a consists of solder, such as 96.5wt% (tin Sn)-3.5wt% silver (Ag).

[0029] The package substrate 3 consists of a copper-clad laminating printed circuit board which used for example, glass fabric base material polyimide resin or glass fabric base material bismaleido triazine as the base, and the coefficient of thermal expansion is about $13\text{--}16 \times 10^{-6}/\text{degree C}$. In addition, although illustration is not carried out, inner layer wiring which consists of copper (Cu) is formed in each wiring layer of the package substrate 3.

[0030] Moreover, in the chip loading side of this package substrate 3, two or more terminal 3a is prepared in the location corresponding to external terminal 2a of a semiconductor chip 2, and this terminal 3a and external terminal 2a are electrically connected through bump electrode 5a.

[0031] By the way, in this example 1, the division-into-equal-parts rate of the package substrate 3 with which one semiconductor chip 2 is mounted is carried out to four pieces. Each package substrate 3 has the shape for example, of a square. However, the semiconductor chip 2 is arranged so that it may lap equally superficially to each package substrate 3.

[0032] And it has structure with possible this reducing sharply distortion which joins bump electrode 5a according to the coefficient-of-thermal-expansion difference of a semiconductor chip 2 and the package substrate 3 in this example 1. This can be explained from the following reasons.

[0033] First, if the distortion is set to γ , it can express $\gamma = \alpha \cdot T \cdot L$. T expresses a temperature gradient with this formula, α expresses a coefficient-of-thermal-expansion difference, and L expresses the distance between the maximum bumps. The distance between these maximum bumps means the distance between bump electrode 5a which is in the outermost part on the diagonal line of the semiconductor chip 2 which has met the package substrate 3, and 5a.

[0034] Since T and α are the mostly regular values in this formula, it turns out that the key factor which opts for distortion is the distance between the maximum bumps.

[0035] It is the distance L_1 between the maximum bumps by having quadrised the package substrate 3 in this example 1, here, as shown in drawing 2. Distance L_0 between the maximum bumps when not dividing the package substrate 3 It can carry out to $1/2$ or less.

[0036] Therefore, according to the package structure of this example 1, it becomes possible from the formula of the above-mentioned distortion γ to reduce sharply distortion which joins bump electrode 5a compared with the technique in which the package substrate 3 is not divided.

[0037] Moreover, in this example 1, while the plane area with which a semiconductor chip 2 and each package substrate 3 lap, for example is equal, the number of connection and connection condition of bump electrode 5a of connecting a semiconductor chip 2 and each package substrate 3 are also equal.

[0038] Namely, distance [in / on this example 1 and / each package substrate 3] L_1 between the maximum bumps It is equal. It is possible to make mostly the connection life of bump electrode 5a in each package substrate 3 into homogeneity by this.

[0039] Mold resin 4 has deposited on the principal plane of such a package substrate 3, and the closure of the semiconductor chip 2 is carried out by this.

[0040] It fills up with this mold resin 4 also between the principal plane of a semiconductor chip 2, and the principal plane of the package substrate 3. Silica powder etc. comes to contain this mold resin 4 in an epoxy resin, and that coefficient of thermal expansion is about $11 \times 10^{-6}/\text{degree C}$. That is, in this example 1, the coefficient of thermal expansion of mold resin 4 is larger than the coefficient of thermal expansion of a semiconductor chip 2, and it is set up so that it may become smaller than the coefficient of thermal expansion of the package substrate 3.

[0041] Thus, since each bump electrode 5a can be held down and it can fix while being able to distribute distortion which joins each bump electrode 5a by filling up with mold resin 4 also between the principal plane of a semiconductor chip 2, and the principal plane of the package substrate 3, it is possible to

control junction destruction of bump electrode 5a which originates distorted.

[0042] Moreover, as an ingredient of mold resin 4, the coefficient of thermal expansion is larger than the coefficient of thermal expansion of a semiconductor chip 2, and it is possible to make a distorted dispersion effect more effective by having chosen the ingredient which becomes smaller than the coefficient of thermal expansion of the package substrate 3.

[0043] Moreover, terminal 3b is formed in the rear face of such a package substrate 3. This terminal 3b is electrically connected with terminal 3a of the principal plane of the package substrate 3 through inner layer wiring (not shown) of the package substrate 3.

[0044] Terminal 3b of the rear face of the package substrate 3 is electrically connected with terminal 6a on the module substrate 6 through bump electrode 5b which is the 2nd bump. That is, BGA 1a is mounted on the module substrate 6 through bump electrode 5b by the side of the rear face of the package substrate 3.

[0045] Bump electrode 5b consists of a 38wt% lead (Pb)-62wt% (tin Sn) alloy. In this example 1, it is possible also in bump electrode 5b to acquire the effectiveness acquired by the above-mentioned bump electrode 5a. It is because distance between the maximum bumps can be made shorter than the case of the technique in which a package substrate is not divided, also in bump electrode 5b like the case of the above-mentioned bump electrode 5a.

[0046] The module substrate 6 consists of a copper-clad laminating printed circuit board which used for example, glass fabric base material epoxy system resin etc. as the base, and the coefficient of thermal expansion is about $13-16 \times 10^{-6}/\text{degree C}$. In addition, although illustration is not carried out, inner layer wiring which consists of copper (Cu) is formed in each wiring layer of the package substrate 3. This inner layer wiring is electrically connected with the above-mentioned terminal 6a.

[0047] Next, drawing 1 - drawing 9 explain the manufacture approach of BGA 1a of this example 1. In addition, in drawing 2 - drawing 9, terminal 6a on the terminals 3a and 3b on external terminal 2a on a semiconductor chip 2 and the package substrate 3 and the module substrate 6 is not illustrated for simplification of a drawing.

[0048] First, as shown in drawing 3, the semiconductor chip 2 with which bump electrode 5a was formed on the principal plane is prepared. This semiconductor chip 2 divides the semi-conductor wafer (not shown) which consists for example, of an Si single crystal by dicing processing, and is obtained.

[0049] Bump electrode 5a is formed in the condition of a semi-conductor wafer. That is, after arranging a metal mask or a glass mask which only an electrode exposes on the principal plane of each chip formation field on a semi-conductor wafer on the occasion of the electrode formation process in the final process of a wafer process, a Sn-Ag alloy is formed with a Sn-Ag ball supply pipe on the semi-conductor wafer.

[0050] Then, after setting four square-like package substrates 3 and arranging predetermined spacing as shown in drawing 2 and drawing 4 for example, the chip component side and bump electrode forming face of a semiconductor chip 2 are made to counter, and where the relative location of external terminal 2a of a semiconductor chip 2 and the terminal on the package substrate 3 is doubled further, a semiconductor chip 2 is laid on the package substrate 3.

[0051] Then, where a semiconductor chip 2 is laid on the package substrate 3, it shifts to a solder reflow process and the external terminal of a semiconductor chip 2 and the terminal of the package substrate 3 are electrically connected through bump electrode 5a by carrying out melting of the bump.

[0052] Subsequently, the resin seal of the semiconductor chip 2 is carried out by the transfermold approach etc. The mold process in this case is shown in drawing 5 - drawing 7. In addition, drawing 6 and drawing 7 are the sectional views of the part equivalent to the VI-VI line and VII-VII line of drawing 5, respectively.

[0053] The mold metal mold 7 has female mold 7a and punch 7b. Among these, female mold 7a is crossed to the whole region, and is flat. The center of an inferior surface of tongue of punch 7b has become depressed, and, thereby, the cavity 8 is formed.

[0054] After laying first the package substrate 3 with which the semiconductor chip 2 was mounted in the top face of female mold 7a in the condition of having turned the semiconductor chip 2 up, on the occasion of a mold process, the top-face periphery of the package substrate 3 is clamped by the inferior-surface-of-tongue periphery in punch 7b.

[0055] Then, the mold resin by which melting was carried out is poured in into a cavity 8 through a runner 10 and the gate 11 (refer to drawing 7) from the mold resin impregnation section 9 (refer to drawing 5). In addition, Signs 12a-12c show the air vent.

[0056] By this mold processing, package structure as shown in drawing 8 is formed. That is, it is the structure which closed the whole semiconductor chip 2 mounted on the package substrate 3 by mold resin 4. It fills up with this mold resin 4 also between the opposed faces of the principal plane of a semiconductor chip 2, and the principal plane of the package substrate 3.

[0057] Since each bump electrode 5a is fixed while distortion which joins each bump electrode 5a is distributed by this, it is possible to control the junction destruction in bump electrode 5a. Moreover, as an ingredient of mold resin 4, the coefficient of thermal expansion is larger than the coefficient of thermal expansion of a semiconductor chip 2, and it is possible by having chosen the ingredient smaller than the coefficient of thermal expansion of the package substrate 3 to make a distorted dispersion effect more effective.

[0058] As shown in drawing 9 after mold processing, after manufacturing BGA1a by forming bump electrode 5b which consists for example, of a Pb-Sn alloy on the terminal by the side of the rear face of the package substrate 3, the BGA1a is mounted on the module substrate 6 through bump electrode 5b, as shown in drawing 1.

[0059] Thus, according to this example 1, it becomes possible to acquire the following effectiveness.

[0060] (1) Since distortion which originates in the coefficient-of-thermal-expansion difference of a semiconductor chip 2 and the package substrate 3, and joins bump electrode 5a by having divided into plurality the package substrate 3 which mounts the 1 piece semiconductor chip 2 can be reduced sharply, junction destruction of bump electrode 5a which originates distorted can be controlled, and it becomes possible to raise the connection life of bump electrode 5a sharply.

[0061] (2) While being able to distribute distortion which joins each bump electrode 5a by having been filled up with mold resin 4 also between the principal plane of a semiconductor chip 2, and the principal plane of the package substrate 3 Since each bump electrode 5a can be held down and it can fix, junction destruction of bump electrode 5a which originates distorted can be controlled, and it becomes possible to raise the connection life of bump electrode 5a sharply.

[0062] (3) As an ingredient of mold resin 4, the coefficient of thermal expansion is larger than the coefficient of thermal expansion of a semiconductor chip 2, and it becomes possible to make a distorted dispersion effect more effective by having chosen the ingredient which becomes smaller than the coefficient of thermal expansion of the package substrate 3.

[0063] (4) . above (1) and (2) Or (3) enables it to raise the dependability and the yield of BGA1a.

[0064] (5) By having constituted mutually the ingredient of package substrate 3 and the module substrate 6 with the ingredient with a near coefficient of thermal expansion, it becomes possible to reduce distortion which originates in the coefficient-of-thermal-expansion difference of the package substrate 3 and the module substrate 6, and joins bump electrode 5b.

[0065] (6) . above (1) and (5) It becomes possible to raise sharply the connection life of bump electrode 5b which mounts the package substrate 3 on the module substrate 6. Therefore, it becomes possible to raise the dependability and the yield of equipment which mount BGA1a.

[0066] (7) . above (1), (2), (3), (4), and (5) Or (6) Since the cheap resin of cost can be used as an ingredient of the package substrate 3 and the module substrate 6, it becomes possible to reduce the cost of a product.

[0067] (8) . above (1) and (2) Or (3) Since constraint of the size of the semiconductor chip 2 produced in order to secure the dependability of bump electrode 5a can be eased, it becomes possible to enlarge size of a semiconductor chip 2.

[0068] (9) Distance L1 between the maximum bumps in the package substrate 3 of each By having made it equal, it becomes possible to make mostly the connection life of the bump electrodes 5a and 5b in each package substrate 3 into homogeneity.

[0069] (Example 2) Drawing 10 is the sectional view of the semiconductor device which are other examples of this invention. In addition, in drawing 10, in order to make a drawing legible, terminal 6a on the terminals 3a and 3b on external terminal 2a on the semiconductor chip 2 shown by drawing 1 and the package substrate 3 and the module substrate 6 is not illustrated.

[0070] In this example 2, as shown in drawing 10, the radiation fin (heat sink) 13 is mechanically joined to the rear face of the semiconductor chip 2 which constitutes BGA1b.

[0071] A radiation fin 13 consists of an ingredient excellent in heat-conduction properties, such as aluminum or aluminum nitride (AlN), and the upper part is formed in the shape of a ctenidium so that a touch area with air may become large. It has structure which can raise by this the heat dissipation effectiveness of the heat which a semiconductor chip 2 generates working.

[0072] Thus, in addition to the effectiveness acquired in said example 1, in this example 2, it becomes possible to acquire the following effectiveness. That is, it becomes possible by having joined the radiation fin 13 to the rear face of a semiconductor chip 2 mechanically to raise the heat dissipation effectiveness of the heat which a semiconductor chip 2 generates working. Therefore, it becomes possible to raise the dependability of BGA1b further.

[0073] (Example 3) Drawing 11 is the sectional view of the semiconductor device which are other examples of this invention. In addition, in drawing 11, in order to make a drawing legible, terminal 6a on the terminals 3a and 3b on external terminal 2a on the semiconductor chip 2 shown by drawing 1 and the package substrate 3 and the module substrate 6 is not illustrated.

[0074] In this example 3, as shown in drawing 11, the semiconductor chip 2 is mounted also on each package substrate 3 which constitutes BGA1c.

[0075] However, this semiconductor chip 2 turns that principal plane upwards, and where that rear face is pasted up on the package substrate 3 with predetermined adhesives etc., it is mounted. And the cash-drawer electrode of this semiconductor chip 2 is electrically connected with the terminal on the package substrate 3 through bonding wire 2b which consists of gold (Au) etc.

[0076] The memory circuit is formed in the semiconductor chip 2 using this wirebonding method. It is because it can mount also by the wirebonding method since it sets to a memory circuit, and there are few there being little calorific value at the time of actuation and cash-drawer electrodes and they end.

[0077] Moreover, the logical circuit is formed in the semiconductor chip 2 using the CCB method of the center of drawing 11. While it sets to a logical circuit and there is much calorific value at the time of actuation, it is because there are many cash-drawer electrodes, so it is desirable to use the CCB method.

[0078] In addition, the closure also of the semiconductor chip 2 using this wirebonding method is carried out by mold resin 4 with the semiconductor chip 2 using the CCB method.

[0079] Thus, in addition to the effectiveness acquired in said example 1, in this example 3, it becomes possible to acquire the following effectiveness. That is, it becomes possible to raise the packaging density of a semiconductor chip 2 by having mounted the semiconductor chip 2 which used the wirebonding method on the divided package substrate 3.

[0080] (Example 4) Drawing 12 is the top view of the semiconductor device which are other examples of this invention. In addition, in drawing 12, in order to make a drawing legible, mold resin is not illustrated.

[0081] In this example 4, as shown in drawing 12, it has the structure where the superficial lap area of one semiconductor chip 2 which constitutes BGA1d, and each package substrate 3 differs.

[0082] That is, it has the structure where the distance between the maximum bumps in each package substrate 3 differs. And the distance between the maximum bumps of this each is changed according to the temperature distribution within the field of a semiconductor chip 2.

[0083] For example, although it also sets working in a memory circuit field and seldom becomes an elevated temperature when the memory circuit field and the logical circuit field are arranged at the same semiconductor chip 2, setting ***** working to a logical circuit field, and becoming an elevated temperature at it is known.

[0084] Therefore, since the heat distribution of the semiconductor chip 2 which can be set working in this case is not uniform in a field, distortion which bump electrode 5a receives with the heat produced by actuation of a semiconductor chip 2 will also change with locations of bump electrode 5a. In this case, in having made all distance between the maximum bumps equal like said examples 1-3, the connection life of bump electrode 5a serves as an ununiformity.

[0085] Then, while lengthening comparatively distance between the maximum bumps in a memory circuit field, for example, he is trying to change the distance between the maximum bumps in this example 4 according to the temperature distribution within the field of a semiconductor chip 2, such as shortening comparatively distance between the maximum bumps in a logical circuit field.

[0086] Thus, according to this example 4, it becomes possible to acquire the following effectiveness besides the effectiveness acquired in said example 1.

[0087] That is, by having changed the distance between the maximum bumps each package substrate 3 of every according to the temperature distribution within the field of the semiconductor chip 2 at the time of actuation, when temperature distribution arise in the field of a semiconductor chip 2, it becomes possible to make mostly the connection life of bump electrode 5a in the whole rear-face surface of a semiconductor chip 2 into homogeneity.

[0088] As mentioned above, although invention made by this invention person was concretely explained

based on the example, it cannot be overemphasized that it can change variously in the range which this invention is not limited to said examples 1-4, and does not deviate from the summary.

[0089] For example, in said examples 1-4, although the case where a package substrate was used as the copper-clad laminating printed circuit board which used for example, glass fabric base material polyimide resin or glass fabric base material bismaleido triazine resin as the base was explained, it is good also as a printed circuit board which is not limited to this, and can change variously, for example, consists of a paper base epoxy resin, paper base phenol resin, or a glass fabric base material epoxy resin.

[0090] Moreover, in said examples 1-4, although the case where a package substrate and a module substrate were used as resin was explained, it is not limited to this and is good also as ceramics, such as an aluminum oxide (aluminum 2O3).

[0091] Moreover, in said examples 1-4, although the case where a package substrate was divided into a square-like substrate was explained, as it is not limited to this, and it can change variously, for example, it is shown in drawing 13, the package substrate 3 which constitutes BGA1e may be divided into a triangle-like substrate. In addition, in drawing 13, in order to make a drawing legible, mold resin is not illustrated.

[0092] Moreover, although illustration is not carried out, a package substrate may be divided into the substrate of trapezoidal shape, and one package substrate may be divided into the substrate with which configurations differ.

[0093] Moreover, in said examples 1-4, although the case where a package substrate was quadrisedected was explained, it may not be limited to this, and can change variously, for example, five division is sufficient, and more than it is sufficient.

[0094] Moreover, in said examples 1-4, although the case where the whole semiconductor chip was covered with mold resin was explained, as it is not limited to this and shown in drawing 14, it is good also as structure of making mold resin 4 intervening only between the opposed faces of the principal plane of the semiconductor chip 2 which constitutes BGA1f, and the principal plane of the package substrate 3.

[0095] Although the above explanation explained the case where invention mainly made by this invention person was applied to the semiconductor device using the CCB method as a flip chip mounting method used as the background which is a field of the invention It is not limited to this but many things can be applied. As a flip chip mounting method It is the reflow solder method which the solder thin line of a fixed diameter is made to intervene beforehand between the connection terminals which counter, and carries out package junction. the so-called CFB (Controlled Flow Bonding method) - it is also possible to apply to the semiconductor device using other flip chip mounting methods, such as a semiconductor device using law.

[0096]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly.

[0097] (1) Since distance between the maximum bumps can be made small by dividing the wiring substrate into plurality according to the semiconductor device of . this invention, it becomes possible to reduce distortion which joins the 1st bump. For this reason, junction destruction of that 1st bump that originates distorted can be controlled, and it becomes possible to raise the 1st bump's connection life sharply. Therefore, it becomes possible to raise the dependability and the yield of the semiconductor device.

[0098] (2) Since each 1st bump can be held down and it can fix while being able to distribute distortion which joins each 1st bump by covering a semiconductor chip and the 1st bump with resin according to the semiconductor device of this invention of which . above was done, junction destruction of the 1st bump who originates distorted can be controlled, and it becomes possible to raise the 1st bump's connection life sharply. Therefore, it becomes possible to raise the dependability and the yield of the semiconductor device.

[0099] (3) . -- as an ingredient of the closure resin, a coefficient of thermal expansion is larger than the coefficient of thermal expansion of a semiconductor chip, and it becomes possible to make a distorted dispersion effect more effective by having chosen the ingredient which becomes smaller than the coefficient of thermal expansion of a wiring substrate.
